

# Control digital de una topología *Totem-Pole* para la corrección del factor de potencia.

Daniel G. Aller, Ignacio Castro, Manuel Arias, Diego G. Lamar y Marta M. Hernando.  
Departamento de Ingeniería Eléctrica, Electrónica, de Computadores y Sistemas, Gijón 33204, España  
Email: garciaadaniel@uniovi.es

**Resumen**—Este artículo se centra en el diseño de un corrector del factor de potencia (*Power Factor Corrector*, PFC) basado en una topología *totem-pole* sin puente rectificador de diodos a la entrada (*bridgeless*) usando un control por multiplicador implementado en una plataforma digital. En el *totem-pole* es bien conocido la problemática en los pasos por cero y sin un control adecuado en los pasos por cero de la tensión de entrada, el convertidor puede generar picos de corriente y resonancias que producen distorsión en la corriente de entrada, aumentando la distorsión armónica total (*Total Harmonic Distortion*, THD) y generando ruido electromagnético (*ElectroMagnetic Interference*, EMI) e incluso la rotura de los dispositivos. El control digital se ha implementado en un microprocesador lo cual resulta imprescindible a la hora de realizar un encendido secuencial de los transistores en los pasos por cero con el fin de evitar el problema anteriormente citado. En esta publicación se presenta un prototipo funcional de un PFC basado en una topología *totem-pole* de 500 W y 100 kHz de frecuencia de conmutación para la verificación del control propuesto.

## I. INTRODUCCIÓN

El uso de convertidores con corrección del factor de potencia (*Power Factor Corrector*, PFC) es imprescindible en muchos sistemas con el fin de cumplir la restrictiva normativa de inyección de armónicos de baja frecuencia en la red. Su función es la de demandar una corriente sinusoidal de la red en fase con la tensión y con la menor distorsión armónica total (*Total Harmonic Distortion*, THD) posible independientemente de la potencia procesada. Con el fin de cumplir normativas como IEC 1000-3-2 [1] el uso de correctores del factor de potencia como primera etapa en sistemas de alimentación resulta imprescindible.

Las topologías convencionales de PFC usan un puente rectificador de diodos a la entrada seguido de un convertidor elevador. El puente de diodos rectifica la tensión, consiguiendo que sea siempre positiva. El convertidor CC/CC conectado en cascada ha de ser capaz de llevar a cabo la corrección del factor de potencia. Debido a las pérdidas en conducción del puente rectificador, diversos autores han propuesto la sustitución de los diodos del puente por MOSFETs, para la mejora del rendimiento [2–4], pero complica el control al añadir más señales de control.

En la Figura 1 se muestra la topología del *totem-pole* para la corrección del factor de potencia. Mediante la eliminación de puente rectificador de entrada se reducen las pérdidas del convertidor debido a que la tarea de rectificación la pasan a desempeñar los MOSFETs, los cuales tienen menos pérdida en

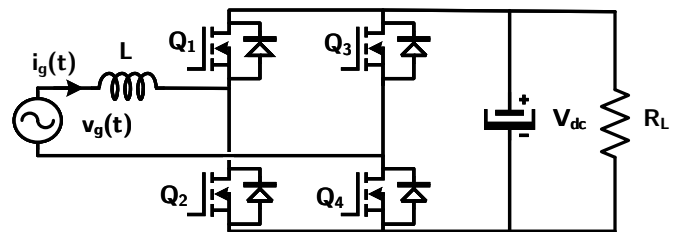


Figura 1: Circuito del PFC *totem-pole*.

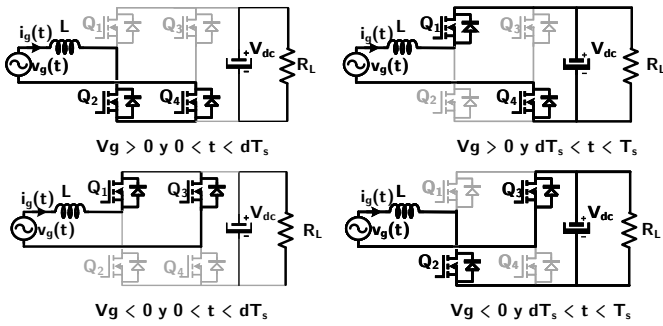
conducción. Además, en [5] se propone el uso del *totem-pole* aumentando la densidad de potencia y frecuencia.

Para el correcto funcionamiento de un PFC se ha de implementar un control que asegure que la corriente demandada de la red es sinusoidal y en fase con la tensión. En el caso del convertidor elevador existen dos formas de conseguir este comportamiento. Una de los métodos es hacer operar el elevador en modo de conducción crítico con frecuencia variable, y el otro método se basa en control por multiplicador (*Multiplier Based Control*, MBC). El control por multiplicador se basa en dos lazos embebidos, uno que controla la tensión de salida  $V_{dc}$  manteniendo estable el valor medio y otro lazo que controla la corriente de entrada para que sea sinusoidal.

El principal problema inherente a esta topología como PFC son los picos de corriente en los pasos por cero, cuando la tensión de red cambia de semiciclo. Este problema en los pasos por cero empeora el factor de potencia (*Power Factor*, PF) y la distorsión armónica total (*Total Harmonic Distortion*, THD). Para su eliminación se han propuesto diferentes técnicas de encendido secuencial de los transistores en cada paso por cero [6–8], este hecho hace imprescindible el uso de control digital.

Otro problema inherente a esta topología es la lenta salida de conducción del diodo parásito de los MOSFETs de silicio, cuando se usa conmutación dura. En los últimos años se ha propuesto el uso de cascodos de GaN [9, 10] y SiC [11] en esta topología como solución al problema. Con la aparición de nuevos dispositivos de silicio (i.e. irradiados) pero con menos carga del diodo parásito ( $Q_{rr}$ ) hacen también posible la implementación de *totem-pole* sin usar dispositivos de banda prohibida ancha.

En esta publicación se presenta el diseño de un prototipo de PFC basado en *totem-pole* operando en modo de conducción continuo (*Continuous Conduction Mode*, CCM) de 500 W. Se ha implementado aislamiento galvánico entre



**Figura 2:** Principio de funcionamiento del PFC basado en una topología *totem-pole* en función de la tensión de entrada  $v_g(t)$  y del ciclo de trabajo  $d(t)$ .

circuitería de control y potencia con el objetivo de reducir el ruido de conmutación. El MBC se ha implementado con una plataforma digital, mostrando el diseño de ambos lazos de control. Además, se ha implementado un control con reducción de componentes armónicas y picos de corriente en los pasos por cero de la corriente de entrada mediante encendido secuencial de los MOSFETs. Debido al problema de salida en conducción de los diodos parásitos, los dispositivos utilizados son MOSFETs de silicio irradiados con bajo  $Q_{rr}$ , con los que se consigue reducir considerablemente las pérdidas en conmutación. En los resultados experimentales se muestra el prototipo funcional, procesando 450 W y sin picos en los pasos por cero.

## II. PRINCIPIO DE FUNCIONAMIENTO Y CONTROL DEL PFC BASADO EN UNA TOPOLOGÍA *totem-pole*

El objetivo de todo PFC es funcionar como una resistencia libre de pérdidas, y por lo tanto demandar una corriente a la entrada sinusoidal y en fase con la tensión de red.

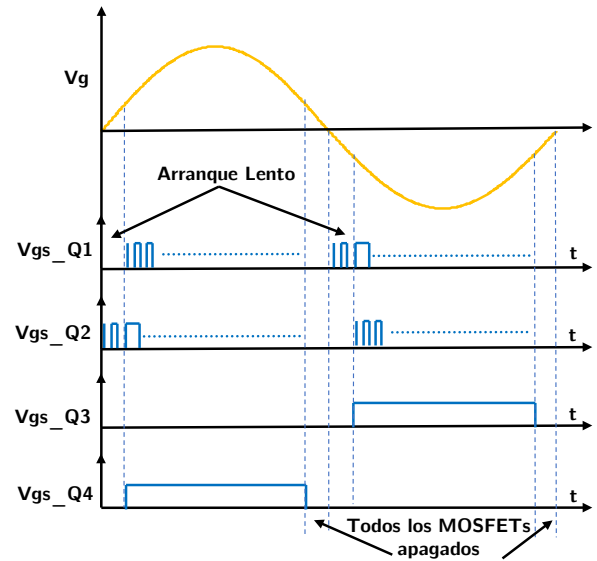
En la Figura 2 se muestra el principio de funcionamiento de la topología *totem-pole* en función de la tensión de entrada y del ciclo de trabajo. El convertidor está constituido por 4 transistores, 2 que conmutan a frecuencia de red ( $Q_3$  y  $Q_4$ ) y 2 que conmutan a frecuencia de conmutación ( $Q_1$  y  $Q_2$ ).

Durante todo el semiciclo positivo de la tensión de entrada el transistor  $Q_4$  conduce mientras que  $Q_1$  y  $Q_2$  trabajan a frecuencia de conmutación. En este caso  $Q_2$  trabaja como MOSFET en un elevador, magnetizando la bobina, mientras que  $Q_1$  trabaja como diodo síncrono del elevador, descargando la bobina y cargando el condensador de salida.

Durante todo el semiciclo negativo el transistor  $Q_3$  conduce mientras que  $Q_1$  y  $Q_2$  trabajan a frecuencia de conmutación. En este caso  $Q_1$  trabaja como MOSFET en un elevador, magnetizando la bobina, mientras que  $Q_2$  trabaja como diodo síncrono del elevador y descargando la bobina y cargando el condensador de salida. Para mayor detalle del funcionamiento de la topología se puede consultar [2].

### II-A. Problemática de los pasos por cero

Uno de los problemas inherentes a la topología *totem-pole* sin rectificador son los picos de corriente de entrada cuando



**Figura 3:** Arranque secuencial de los transistores en los pasos por cero para la eliminación de picos en la corriente de entrada.

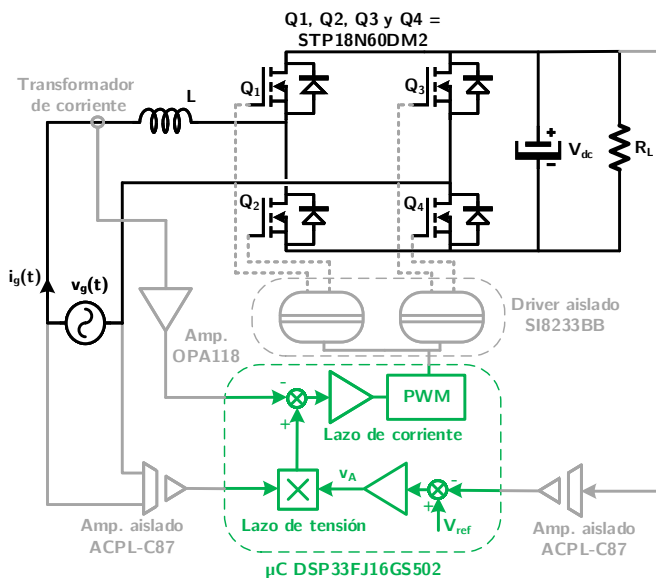
la tensión de entrada pasa por 0 [4, 12]. Debido al cambio de funcionamiento entre  $Q_3$  y  $Q_4$  en los pasos por cero, se produce un cambio abrupto de ciclo de trabajo en ese punto. Por ejemplo, en la transición entre semiciclo negativo y positivo de tensión de entrada, el ciclo de trabajo de  $Q_1$  pasa de teóricamente 100% a 0%, y por consiguiente el ciclo de trabajo de  $Q_2$  pasa de 0% a teóricamente 100%.

Debido a la lenta salida de conducción del diodo parásito de  $Q_3$  y a que la capacidad  $C_{oss}$  del transistor  $Q_4$  está cargada a  $V_{dc}$ , la tensión  $V_{dc}$  de la capacidad drenador-fuente  $C_{ds}$  se aplica directamente sobre la bobina de entrada  $L$ , produciendo un pico de corriente.

Además, el encendido de  $Q_1$  en zonas cercanas a cero puede también producir picos en la corriente de entrada. Cuando  $Q_1$  conduce, la tensión aplicada a la bobina es  $V_{dc}(t) - v_g(t)$ , siendo  $v_g(t)$  la tensión de red y ser de pequeño valor por estar cerca del paso por cero. Incluso teniendo  $Q_1$  un ciclo de trabajo cercano a 0, la conducción de  $Q_1$  aplica una tensión muy grande en la bobina produciendo picos en la corriente. Se ha usado la transición de semiciclo negativo a positivo como ejemplo, sucediendo exactamente lo mismo en la transición de positivo a negativo pero con las funciones de  $Q_1/Q_2$  y  $Q_3/Q_4$  intercambiadas respectivamente.

Para evitar estos picos de corriente de entrada se aplica un encendido secuencial de los transistores antes y después de los pasos por cero, lo cual hace imprescindible el uso de control digital con el fin de poder programar dicho encendido. Durante el paso por cero, el convertidor funciona en lazo abierto, y por lo tanto no es el lazo de control el que impone el ciclo de trabajo. Al acabar el encendido secuencial, el lazo retoma el control del ciclo de trabajo y con el fin de evitar la saturación del lazo, el lazo de control es reiniciado al final del encendido secuencial.

En la Figura 3 se puede observar la secuencia seguida



**Figura 4:** Esquemático del PFC basado en la topología *totem-pole* compuesto por: etapa de potencia, etapa de medición y control integrado en  $\mu C$ .

de control. Antes de cada paso por cero se cortan todos los MOSFETs. Esto crea un tiempo muerto antes del paso por cero que evita que cualquiera de los transistores cree un cortocircuito debido a un retardo en la entrada o salida en conducción cuando la tensión de entrada cambie de signo. Este tiempo se ha de mantener lo más pequeño posible para evitar distorsión en la corriente de entrada, pero lo suficientemente grande como para evitar cortocircuitos por un error en la detección del paso por cero.

Por ejemplo, tras el paso por cero de semiciclo negativo a positivo únicamente se activa el MOSFET de alta frecuencia que hace la función de transistor del elevador síncrono  $Q_2$ . Para descargar lentamente  $C_{oss}$  del transistor  $Q_4$ , el ciclo de trabajo de  $Q_2$  se incrementa de forma gradual. Una vez alcanzado el ciclo de trabajo deseado, se encienden los demás transistores. En el caso del paso del semiciclo positivo al negativo sucede lo mismo pero con las funciones de  $Q_1$  y  $Q_2$  intercambiadas.

### II-B. MBC de la topología *totem-pole* como PFC

En la Figura 4 se muestra la topología *totem-pole* como PFC con su sistema de control MBC y los componentes utilizados más importantes. El MBC permite conformar una corriente sinusoidal a la entrada del convertidor, reduciendo THD y mejorando el PF. Para ello el MBC se basa en dos lazos embebidos para su correcto funcionamiento: un lazo que controla el valor medio de la tensión de salida y otro que controla la corriente de entrada.

Como se observa en la Figura 4 el control necesita medir la tensión de salida, y la corriente y tensión de entrada. Dichas medidas son tomadas de forma aislada e introducidas en el control mediante los conversores A/D del  $\mu C$  del DSP33FJ16GS502.

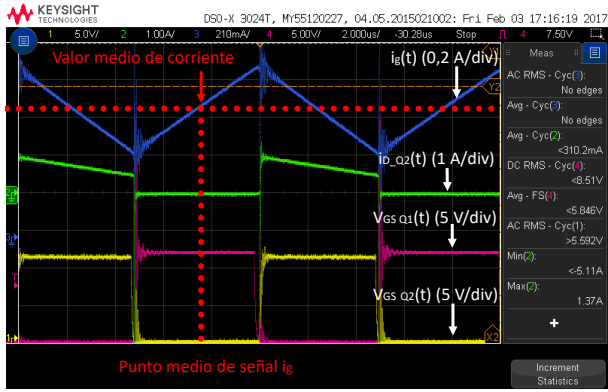
Mediante un divisor resistivo se mide la tensión de salida, y mediante un amplificador aislado *ACPD-C87* se consigue aislar esta medida eliminando ruido de conmutación. Con la información de la tensión de salida, el objetivo del lazo de tensión es mantener esta tensión constante y por encima del valor de pico de la tensión de entrada. Dicho valor se compara con una referencia  $V_{ref}$  calculando el error del lazo de tensión de salida. Dicho error entra en el regulador, el cual es el encargado de generar la acción de control del lazo de tensión.

La tensión de salida tiene un rizado del doble de la frecuencia de red. Dicho rizado ha de ser filtrado con el objetivo de controlar únicamente el valor medio de la tensión de salida. El filtro se realiza directamente mediante el diseño del regulador del lazo de tensión, el cual ha de tener una dinámica lenta, al menos 10 veces más lenta que la frecuencia del rizado, con el fin de no trasladar el rizado de salida al control. Tras aplicar el regulador al error calculado anteriormente, se genera la acción de control  $v_A$ . Esta acción de control determina la potencia demandada de la red.

El lazo de corriente necesita la información de la tensión y corriente de entrada con el objetivo de conformar la corriente sinusoidal a la entrada del convertidor. La corriente de entrada se mide mediante un transformador de corriente a la entrada del convertidor, de forma que se obtiene la medida de forma aislada. La tensión de entrada se obtiene al igual que la tensión de salida, mediante un divisor resistivo y un amplificador aislado *ACPD-C87*.

La acción de control del lazo de tensión  $v_A$  se multiplica por la tensión de entrada. Esta señal es la que se quiere obtener a la entrada del convertidor, y por lo tanto se calcula el error con respecto a la medida de la corriente de entrada  $i_g$  en cada ciclo de conmutación. Con el error calculado se aplica el regulador de corriente, el cual ha de ser lo suficientemente rápido para seguir las variaciones de la corriente pero más lento que la frecuencia de conmutación, con el fin de filtrarla, ya que se controla su valor a frecuencia de red. Dicho regulador genera una acción de control, que mediante un modulador de ancho de pulso (*Pulse-Width Modulator, PWM*) se generan las señales de puerta de los cuatro interruptores. Dichas señales se conectan a los drivers aislados SI8233BB para controlar los MOSFET de cada una de las ramas del *totem-pole*.

En la Figura 5 se muestra una captura de la corriente de entrada por la bobina  $i_g(t)$  del convertidor y en que momento se muestrea la corriente. Como se dijo anteriormente, el lazo de corriente ha de medir la corriente de entrada del convertidor y el valor que se quiere controlar es su componente a frecuencia de red. Aprovechando una propiedad de la señal triangular operando en CCM, en la cual el valor medio coincide con el valor en el punto medio de la rampa de subida o de bajada. Para realizar esto, se sincroniza el muestreo con la señal de conmutación. Si el tiempo de conmutación es  $dT_s$ , donde  $d$  es el ciclo de trabajo y  $T_s$  es el periodo de conmutación, el muestreo se hace a  $\frac{dT_s}{2}$ . Este tipo de muestreo introduce un retardo en el lazo de corriente de un ciclo de conmutación, que hay que tener en cuenta posteriormente en el diseño del regulador.



**Figura 5:** Proceso de muestreo de la corriente de entrada  $i_g(t)$  por la bobina para la obtención del valor medio.

### III. PARÁMETROS DE DISEÑO DEL PFC BASADO EN UNA TOPOLOGÍA *totem-pole*

Los parámetros de diseño del PFC basado en una topología *totem-pole* son los mostrados a continuación:

- Condensador de salida  $C_{DC}$ .
- Bobina de entrada  $L_{in}$ .
- Regulador de tensión
- Regulador de corriente

#### III-A. Cálculo del Condensador de salida y bobina de entrada

El valor del condensador de salida es calculado utilizando la siguiente expresión 1.

$$C_{dc} = \frac{P_{max}}{4\pi f_{red} V_{dc} \Delta V_{dc}} = 82\mu F \quad (1)$$

El valor del condensador depende de la potencia máxima  $P_{max}$ , de la frecuencia de red  $f_{red}$ , de la tensión de salida  $V_{dc}$  y del rizado de tensión de salida  $\Delta V_{dc}$ .

Para el cálculo de la bobina de entrada se usa la siguiente expresión 2.

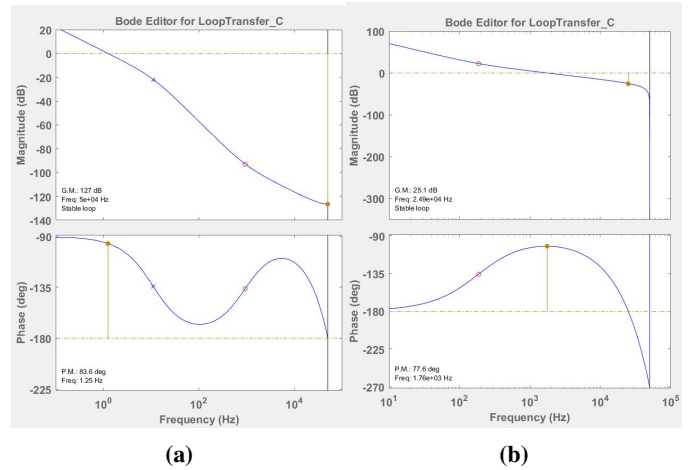
$$L_{in} = \frac{1}{\%_{rizado} f_{pwm} P_{max}} \left( 1 - \frac{\sqrt{2} V_{gmin}}{V_{dc}} \right) = 1mH \quad (2)$$

El valor de la bobina depende del rizado de la corriente de entrada  $\%_{rizado}$ , de la tensión de red mínima  $V_{gmin}$ , frecuencia de conmutación  $f_{pwm}$ , de la potencia máxima y tensión de salida.

En la tabla I se muestran los parámetros de diseño del PFC para el cálculo de 1 y 2.

**Tabla I:** PARÁMETROS DE DISEÑO de un PFC basado en una topología *totem-pole*.

$P_{max}$	$R_L$	$V_{dc}$	$\Delta V_{dc}$	$\%_{rizado}$	$V_{gmin}$	$f_{pwm}$
500 W	350 $\Omega$	400 V	25 V	10	85V	100 kHz



**Figura 6:** Diseño de los reguladores del lazo de tensión (a) y del lazo de corriente (b).

#### III-B. Consideraciones para el cálculo del regulador del lazo de tensión

La función de transferencia entre la tensión de salida  $V_{DC}$  y la corriente por la bobina  $I_L$  es la mostrada en la ecuación 3 obtenida de [13].

$$G_v(s) = \frac{\Delta V_{DC}(s)}{\Delta i_g(s)} = \frac{V_g R_L}{\sqrt{k V_{dc} R_L} 2 + C_{dc} R_L s} \quad (3)$$

Como se muestra en 3,  $G_v(s)$  depende de la tensión de entrada  $V_g$ , de la carga  $R_L$ , de la tensión de salida  $V_{dc}$  y del condensador de salida  $C_{dc}$ . Como se dijo anteriormente, el lazo de tensión ha de ser lento, al menos una década por debajo de la frecuencia del rizado de tensión de salida de dos veces la frecuencia de red. Al ser un lazo implementado de forma digital la eliminación del rizado mediante filtro está desaconsejada, pudiendo producir inestabilidades. Por lo tanto, se diseña el lazo para tener un ancho de banda de 10 Hz para realizar el filtrado y un margen de fase superior a  $60^\circ$  para evitar sobreoscilaciones en su respuesta.

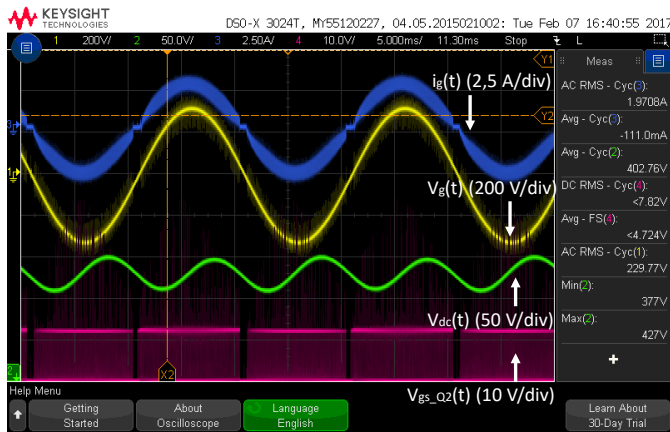
#### III-C. Consideraciones para el cálculo del regulador del lazo de corriente

La función de transferencia entre la corriente de entrada  $I_L$  y el ciclo de trabajo  $D$  es la mostrada en la ecuación 4.

$$G_i(s) = \frac{\Delta i_f(s)}{\Delta D(s)} = \frac{k V_{dc}}{L V_p s} \quad (4)$$

Como se dijo anteriormente el lazo de corriente ha de ser lo suficientemente rápido como para poder conformar una corriente sinusoidal a la entrada. El diseño del regulador ha de tener un ancho de banda inferior a la frecuencia de conmutación, de forma que filtre la componente de la frecuencia de conmutación.

En la Figura 6a se muestra la ganancia del lazo de tensión para ver su estabilidad y ancho de banda. En el lazo de tensión se consigue un ancho de banda de 1.25 Hz con un margen de fase de  $83^\circ$ .



**Figura 7:** Funcionamiento del convertidor a 450 W con  $V_g(t)$  de 230 V. En azul se muestra la corriente  $i_g(t)$  (2.5 A/div), en amarillo la tensión de entrada  $V_g(t)$  (200 V/div), en verde la tensión de salida  $V_{dc}(t)$  (50 V/div) y en morado la tensión de puerta  $V_{gs\_Q2}(t)$  (10 V/div).

En la Figura 6b se muestra la ganancia del lazo abierto del lazo de corriente para ver su estabilidad y ancho de banda. En el lazo de corriente se consigue un ancho de banda de 1.7 kHz con un margen de fase de  $77^\circ$ .

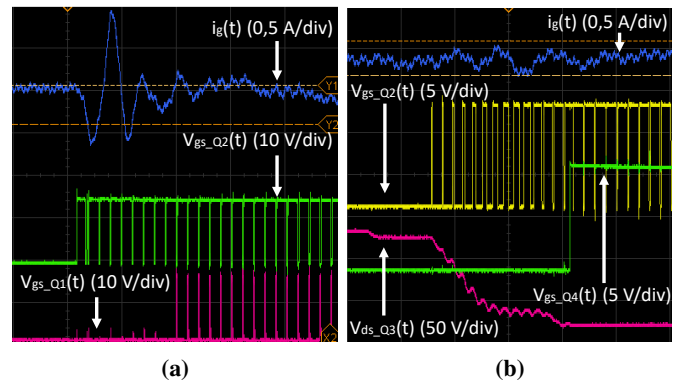
#### IV. RESULTADOS EXPERIMENTALES

En la Figura 7 se muestra el las principales formas de onda del PFC manejando una potencia de 450 W. En la figura se muestra la corriente de entrada  $i_g(t)$  y la tensión de entrada  $V_g(t)$ . Se puede apreciar que ambas son sinusoidales y en fase, alcanzándose un PF de 0.98. Además, se observa que la corriente es nula antes y después del paso por cero de tensión, consiguiendo la eliminación de los picos de corriente y las oscilaciones en esos puntos. Se muestra la señal de puerta de  $Q_2$  de frecuencia 100 kHz  $V_{gs\_Q2}(t)$ , la cual se inhabilita en los pasos por cero como parte del control. Por último se muestra la tensión de salida del bus de continua, con un valor medio de 400 V y un rizado de 50 V pico a pico  $V_{pp}(t)$  del doble de la frecuencia de red.

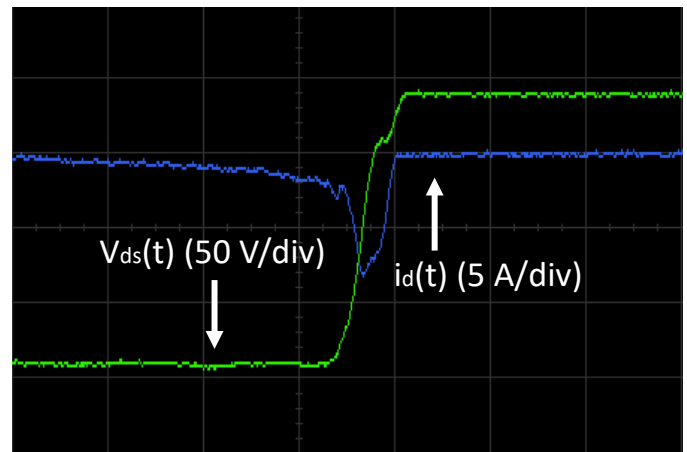
En la Figura 8a se muestra ampliado el paso por cero cuando no se aplica un control específico en ese punto. En la corriente  $i_g(t)$  se observa un pico de corriente y una oscilación al encender el MOSFET  $Q_2$ . En la señal de puerta  $V_{gs\_Q2}(t)$  de  $Q_2$  se observa que arranca con ciclo de trabajo máximo.

En la Figura 8b se muestra como se elimina el pico de corriente al aplicar el arranque secuencial tras el paso por cero de la tensión de entrada. Se puede observar en la corriente  $i_g(t)$  que no hay ningún pico relevante de conducción. En el paso por cero  $Q_3$  deja de conducir para hacerlo  $Q_4$ . Para evitar picos en la corriente se realiza un arranque lento en  $V_{gs\_Q2}(t)$  y como se observa, al aumentar gradualmente el ciclo de trabajo de  $V_{gs\_Q2}(t)$  se consigue controlar la descarga de la capacidad  $C_{oss}$  de  $Q_3$  antes de entrar a conducir  $Q_4$ .

En la Figura 9 se muestra en detalle la corriente por el MOSFET que conmuta a frecuencia  $f_{pwm}$  en la salida de conducción. Los dispositivos usados son MOSFETs MDMESH



**Figura 8:** Captura de los pasos por cero del PFC. En (a) se muestra el paso por cero sin arranque secuencial con la corriente  $i_g(t)$  (0.5 A/div) y las tensiones de puerta  $V_{gs\_Q1}(t)$  (10 V/div) y  $V_{gs\_Q2}(t)$  (10 V/div). En (b) se muestra el paso por cero con arranque secuencial con  $i_g(t)$  (0.5 A/div), la tensión  $V_{gs\_Q2}(t)$  (5 V/div), la tensión  $V_{gs\_Q4}(t)$  (5 V/div) y tensión drenador-fuente  $V_{ds\_Q3}(t)$  (50 V/div).



**Figura 9:** Medición de la corriente de conducción inversa del diodo parásito de un MOSFET conmutando a frecuencia  $f_{pwm}$ . Se muestra la corriente de drenador  $i_d(t)$  (5 A/div) y la tensión drenador-fuente  $V_{ds}(t)$  (50 V/div).

DM2 (STP18N60DM2) de ST. El efecto del pico de recuperación inversa en la salida de conducción del diodo parásito del MOSFET es un problema característico de esta topología, el cual produce pérdidas de conmutación. La convivencia tensión corriente que se da en el instante de la conducción en inversa es la causante de las pérdidas en conmutación asociadas a  $Q_{rr}$  del dispositivo.

El objetivo de un PFC es corregir el PF y minimizar THD. En la normativa únicamente existe restricción sobre el nivel de armónicos que se pueden inyectar a la red, y define una máscara con el nivel máximo de cada armónico de corriente. En la Figura 10 se muestra la comparación de la máscara de armónicos de corriente de la norma IEC 1000-3-2 para equipos de Clase C. Como se observa, la corriente está por debajo del nivel máximo impuesto en cada uno de los armónicos.

En la Figura 11 se muestra el rendimiento del convertidor. En el rendimiento se compara la potencia eficaz de entrada con

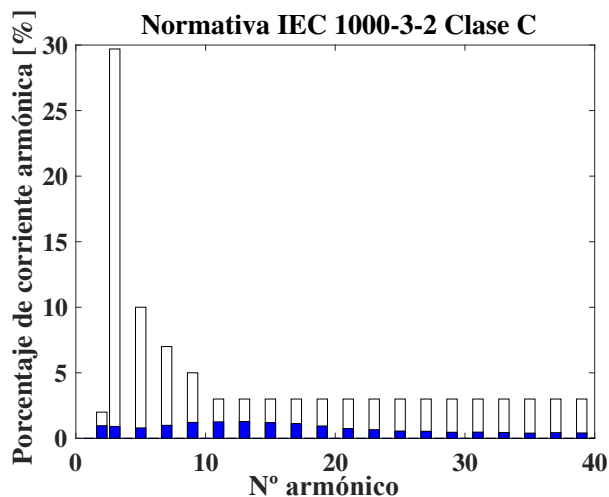


Figura 10: Contenido armónico de la corriente de entrada  $i_g(t)$  del PFC para una potencia de 450 W comparada con la norma IEC 1000-3-2 para equipos de Clase C.

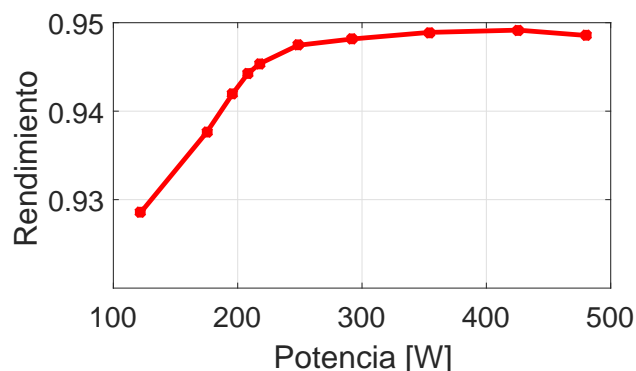


Figura 11: Rendimiento del PFC para diferentes potencias de operación.

la potencia media de salida para una tensión de entrada de 230 V eficaces. Se observa un rendimiento máximo de 94.8 % a potencia máxima de funcionamiento.

## V. CONCLUSIONES

En esta publicación se presentan el proceso de diseño y los resultados de un PFC basado en una topología *totem-pole* con control digital y eliminación de picos de la corriente de entrada  $i_g(t)$  en los pasos por cero. El prototipo se diseña para una potencia máxima de 500 W utilizando MOSFETs de silicio y consiguiendo un PF de 0.99 a potencia nominal.

Como se ha demostrado, el encendido secuencial de los dispositivos en los pasos por cero resulta crucial para eliminar problemas de picos de corriente de entrada en esos puntos. El control se ha realizado de forma digital, ayudando de esta manera a la implementación del encendido secuencial.

Además el uso de dispositivos de silicio de superunión irradiados ha permitido reducir el problema inherente de la topología a la conducción del diodo parásito de los MOSFETs que trabajan a frecuencia de conmutación.

## AGRADECIMIENTOS

Trabajo realizado mediante la financiación del Ministerio de Educación, Cultura y Deporte a través del proyecto MINECO-13-DPI2013-47176-C2-2-R y la del Gobierno del Principado de Asturias a través de la beca BP14-140, el proyecto FC-15-GRUPIN14-143 (Grupín) y de los fondos FEDER.

## REFERENCIAS

- [1] IEC 61000-3-2 *Electromagnetic compatibility (EMC) - Part 3-2: Limits - Limits for harmonic current emissions.*
- [2] L. Huber, Y. Jang, and M. M. Jovanovic, "Performance evaluation of bridgeless pfc boost rectifiers," *IEEE Transactions on Power Electronics*, vol. 23, no. 3, pp. 1381–1390, May 2008.
- [3] W. Y. Choi, J. M. Kwon, E. H. Kim, J. J. Lee, and B. H. Kwon, "Bridgeless boost rectifier with low conduction losses and reduced diode reverse-recovery problems," *IEEE Transactions on Industrial Electronics*, vol. 54, no. 2, pp. 769–780, April 2007.
- [4] L. Zhou, Y. Wu, J. Honea, and Z. Wang, "High-efficiency true bridgeless totem pole pfc based on gan hemt: Design challenges and cost-effective solution," in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, May 2015, pp. 1–8.
- [5] Z. Liu, F. C. Lee, Q. Li, and Y. Yang, "Design of gan-based mhz totem-pole pfc rectifier," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 799–807, Sept 2016.
- [6] L. Xue, Z. Shen, D. Boroyevich, and P. Mattavelli, "Gan-based high frequency totem-pole bridgeless pfc design with digital implementation," in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, March 2015, pp. 759–766.
- [7] B. Sun, *How to reduce current spikes at AC zero-crossing for totem-pole PFC*, Texas Instruments, 2015.
- [8] Y. B. Zhong Ye, Alvaro Aguilar and B. Daugherty, *GaN FET-Based CCM Totem-Pole Bridgeless PFC*, Texas Instruments, 2015.
- [9] L. Zhou, Y. Wu, J. Honea, and Z. Wang, "High-efficiency true bridgeless totem pole pfc based on gan hemt: Design challenges and cost-effective solution," in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, May 2015, pp. 1–8.
- [10] L. Xue, Z. Shen, D. Boroyevich, and P. Mattavelli, "Gan-based high frequency totem-pole bridgeless pfc design with digital implementation," in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, March 2015, pp. 759–766.
- [11] K. Zhu, M. O'Grady, J. Dodge, J. Bendel, and J. Hostetler, "1.5 kw single phase ccm totem-pole pfc using 650v sic cascodes," in *2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Nov 2016, pp. 90–94.
- [12] Y. L. Syu, Y. C. Liu, M. C. Chen, Y. C. Hsieh, S. Y. Ou, and H. J. Chiu, "High efficiency and low input current distortion totem-pole bridgeless pfc," in *2016 Asian Conference on Energy, Power and Transportation Electrification (ACEPT)*, Oct 2016, pp. 1–6.
- [13] R. B. Ridley, "Average small-signal analysis of the boost power factor correction circuit."